

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年11月29日

出 願 番 号
Application Number:

平成11年特許願第337748号

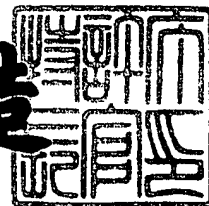
出 願 人
Applicant(s):

ミノルタ株式会社

2000年 8月11日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3062887

【書類名】 特許願

【整理番号】 167477

【提出日】 平成11年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G03G 15/00

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 鳥山 秀之

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 鈴木 浩之

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 水野 英明

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 亀井 伸雄

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 米山 剛

【特許出願人】

【識別番号】 000006079

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル

【氏名又は名称】 ミノルタ株式会社
【代理人】
【識別番号】 100062144
【弁理士】
【氏名又は名称】 青山 葆
【選任した代理人】
【識別番号】 100086405
【弁理士】
【氏名又は名称】 河宮 治
【選任した代理人】
【識別番号】 100098280
【弁理士】
【氏名又は名称】 石野 正弘
【手数料の表示】
【予納台帳番号】 013262
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9808001
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置

【特許請求の範囲】

【請求項 1】 テスト印字モードを有する画像形成装置であって、
画像データを処理する画像処理部と、
テスト印字を行うテスト印字制御部と、
画像処理部とテスト印字制御部により共用されるメモリと、
テスト印字中は、テスト印字を制御するテスト印字制御部を前記のメモリに接続し、通常プリント中は、前期の画像処理部を前記メモリと接続する切り替え手段と、

テスト印字中は前記のメモリにテスト印字用データを格納し、通常プリント中は前記のメモリに画像処理のための変換用データを格納する格納手段と
からなる画像処理装置。

【請求項 2】 前記の画像処理部の一部と前記のテスト印字制御部、書き換え可能なデバイスで構成され、テスト印字モードでは、そのデバイスに前記のテスト印字制御部が書きこまれ、通常モードでは、そのデバイスに前記の画像処理部の一部が書きこまれる、請求項 1 に記載された画像処理装置。

【請求項 3】 前記の画像処理部の一部は、画像データを濃度データに変換する濃度変換部であり、前記のメモリは、画像データ変換のための変換データを格納する請求項 1 または 2 に記載された画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像データのプリント処理に関する。

【0002】

【従来技術】

プリンタなどの画像形成装置において、通常モード用の画像処理回路の他に、テスト印字を行うためのテスト印字回路が備えられる。サービスマンなどは、テスト印字回路を用いて、画像形成を微調整する。

【 0 0 0 3 】

【発明が解決しようとする課題】

画像形成装置において、テスト印字と通常の画像形成とは同時に行えない。したがって、テスト印字回路（RAMを含む）と通常プリントモード用の画像処理回路とは同時に使用することがない。しかし、従来は両方の機能が各々独自の部品で用意しており、画像形成装置のコストアップの1つの要因となっていた。

【 0 0 0 4 】

本発明の目的は、テスト印字を簡素な構成でおこなう画像処理装置を提供することである。

【 0 0 0 5 】

【課題を解決するための手段】

本発明に係るテスト印字モードを有する画像形成装置は、画像データを処理する画像処理部と、テスト印字を行うテスト印字制御部と、画像処理部とテスト印字制御部により共用されるメモリと、テスト印字中は、テスト印字を制御するテスト印字制御部を前記のメモリに接続し、通常プリント中は、前期の画像処理部を前記メモリと接続する切り替え手段と、テスト印字中は前記のメモリにテスト印字用データを格納し、通常プリント中は前記のメモリに画像処理のための変換用データを格納する格納手段とからなる。前記のメモリは、通常のプリントとテスト印字とで時分割で利用される。

たとえば、この画像形成装置において、前記の画像処理部の一部とテスト印字制御部、書き換え可能なデバイスで構成される。テスト印字モードでは、そのデバイスに前記のテスト印字制御部が書きこまれ、通常モードでは、そのデバイスに前記の画像処理部の一部の回路が書きこまれる。

たとえば、前記の画像処理部の一部は、画像データを濃度データに変換する濃度変換部であり、前記のメモリは、画像データ変換のための変換データを格納する。

【 0 0 0 6 】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。なお、図面にお

いて、同じ参照記号は同一または同等のものを示す。

図1は、カラー画像処理装置の全体構成を示す。このカラー画像処理装置は、通常モードのほかに、テスト印字モードを備える。通常モードにおいて、3色のラインセンサからなるカラーCCDセンサー10の赤、緑、青の出力信号は、それぞれ、AD変換部12によりデジタル信号に変換される。得られた赤(R)、緑(G)、青(B)のデジタル信号は、シェーディング補正部14において補正された後で、変倍移動部16に入力される。変倍移動部16において変倍処理と移動処理がされたデータR4、G4、B4は、HVC変換部18および領域判別部20に出力される。HVC変換部18は、R4、G4、B4データをHVCデータに変換し、彩度信号Wを下色除去／墨加刷処理部30に送り、また、出力データをR5、G5、B5データとして濃度変換部22に送る。なお、共用RAM26は、濃度変換部22とテスト印字制御部24に接続される。濃度変換のためのルックアップテーブルはRAM26に格納されている。濃度変換部22は、RAM26の変換データをもとに、HVC変換部18より送られてきたデータR5、G5、B5を \log 変換で濃度データDR、DG、DBに変換する。マスキング演算部28は、濃度データDR、DG、DBをシアン(C0)、マゼンタ(M0)、イエロー(Y0)の印字色データに変換する。さらに、下色除去／墨加刷処理部30は、C0、M0、Y0データについて彩度変換データSWにより下色除去処理と墨加刷処理を行い、C1、M1、Y1、K1データを出力する。一方、領域判別部20は入力データを基に各種の領域を判別する。MTF補正部32は、領域判別部20の判別結果に応じて、C1、M1、Y1、K1データを補正して(エッジ処理など)、データC3、M3、Y3、K3を出力する。なお、CPU34は、上述のカラー画像処理装置を制御する。

また、テスト印字モードでは、1つが512*512ドットのパッチを所定濃度で印字する。事前にCPU34は、共有RAM26に対し、対応するパッチアドレスに階調データを格納しておく。テスト印字制御部24は、RAM26のテスト印字データをMTF補正部32に送り、MTF補正部32はデータC3、M3、Y3、K3をプリントエンジン部に出力する。

【0007】

図 1 に示すカラー画像処理装置において、HVC変換部 1 8 とMTF補正部 3 2 との間の処理をするブロック（破線で囲んだ部分）は、部品実装状態で回路内容を何度も書き換え可能なデバイスで構成する。このデバイスは、たとえばフィールド・プログラマブル・ゲートアレイ（FPGA）という部品である。ROM 3 6 には、FPGAのための処理回路のアルゴリズム情報が記憶されている。このFPGAに対して、動作モードに応じた回路をCPU 3 4 がROM 3 6 よりプログラミングすることで、複数の機能を比較的小さなゲート規模で達成できる。図 1 に対応して説明すると、CPU 3 4 は、テスト印字モードでは、RAM 2 6 とテスト印字制御部 2 4 の回路をFPGAにプログラミングして回路内容を書き換え、テスト印字処理を行う。この処理が終わると、今度は、通常モードにおいて、濃度変換部 2 2、RAM 2 6、マスキング演算部 2 8、下色除去／墨加刷部 3 0 の回路をプログラミングして回路内容を書き換え、画像形成のための処理を行う。なお、FPGAに書きこむ回路はどのモードにおいてもほぼ同じボリュームとなるように構成される。

【0008】

図 2 は、共有RAM 2 6 の構成を示す。RAM 2 6 は、R、G、B、W用の4つのメモリ 2 6 0、2 6 2、2 6 4、2 6 6 からなり、テストプリント制御部 1 8 と濃度変換部 2 2 に共用される。セレクタ 1 0 0、1 0 2、1 0 4、1 0 6 に入力されるセレクト信号（MODESEL）により、各セレクタに接続されるRAM 2 6 0、2 6 2、2 6 4、2 6 6 のアドレスADDRESSが、テスト印字制御部 2 4 と濃度変換部 2 2 の間で切り換えられる。テスト印字モードでは、CPU 3 4 がモード選択信号MODESELを0にして、RAM 2 6 をテスト印字制御部 2 4 に接続する。また、通常モードでは、CPU 3 4 がMODESELを1にして、RAM 2 6 を濃度変換部 2 2 に接続する。

【0009】

通常モードでは、濃度変換部 2 2 は、HVC変換部 1 8 からのR、G、Bデータを $-10g$ 変換により濃度DR、DG、DBに変換する。濃度変換のためのlookupアップテーブルは共用RAM 2 6 が担当し、CPU 3 4 が事前に変換データをRAM 2 6 に格納しておく。また、CPU 3 4 は、MODESELを0として

セクタ 1 0 0、1 0 2、1 0 4、1 0 6 をセットし、共用 RAM 2 6 のアドレスに濃度変換部 2 2 からの波長成分データ R 5、G 5、B 5 と彩度データ W を出力する。共用 RAM 2 6 のアドレスに、濃度変換部 2 2 からの波長成分データ R 5、G 5、B 5 と彩度データ W を入力すると、対応した濃度データ DR、DG、DB、SW が出力され、濃度変換部 2 2 に戻される。濃度変換部 2 2 からの濃度データ DR、DG、DB、SW は、さらに、マスキング演算部 2 8 や下色除去／墨加刷部 3 0 において処理され MTF 補正部 3 2 に送られる。MTF 補正部 3 2 は、領域判別部 2 0 の結果などに従い MTF 補正を行った後で、データをプリントエンジン部に送る。

【 0 0 1 0 】

図 3 は、通常プリントモード時に F P G A に書きこまれるブロック（濃度変換部、マスキング演算部、下色除去／墨加刷部を含む）を示す。共有 RAM 2 6 は、メモリ 2 6 0、2 6 2、2 6 4、2 6 6 からなる。R、G、B、W データがそれぞれ RAM 2 6 0、2 6 2、2 6 4、2 6 6 のアドレスに入力され、濃度変換されたデータ DR、DG、DB、SW が出力される。RAM 2 6 は、濃度変換部 2 2 として機能する。マスキング演算部 2 8 は、DR、DG、DB、SW データを C、M、Y データに変換する。最後に、下色除去／墨加刷部 3 0 で下色除去と墨加刷の処理が行われる。ここで、C、M、Y データは、彩度変換データ SW と濃度データの最小値との積をマスキング演算結果より減算される。

$$C 1 = C 0 - SW * MIN (DR, DG, DB)$$

$$M 1 = M 0 - SW * MIN (DR, DG, DB)$$

$$Y 1 = Y 0 - SW * MIN (DR, DG, DB)$$

K データ K 1 は、彩度変換データ SW と濃度データの最小値の積から所定値を減算して求められる。

$$K 1 = SW * MIN (DR, DG, DB) - SD$$

【 0 0 1 1 】

テスト印字モードでは、1 つが 5 1 2 * 5 1 2 ドットのパッチを所定濃度で印字する。図 4 は、4 0 0 D P I で A 3 の用紙にテスト印字したときのパッチとパッチアドレスを示す。A 3 用紙には、1 1 7 個のパッチが印字される。正方形の

中の数字はパッチアドレスを示す。個々のパッチは共有RAM 26に格納しておいた階調データで印字されている。共有RAM 26には、対応するパッチアドレスに階調データが格納されている。

【0012】

図5は、テスト印字モード時にFPGAに書きこまれる回路ブロック図である。テスト印字制御部24は、図示しない主走査、副走査有効エリア信号により、主(副)走査方向のドットカウンタ240、242を動作させる。アドレス制御部244は、位置情報であるその出力をHA(VA)[15:0]とすると、HVA[7:0]=HA[12:9]、VA[12:9]としてRAM260、262、264、266のアドレスに出力する。RAM260、262、264、266は、入力されるパッチアドレスに従い階調データ(C2, M2, Y2, K2)をテスト印字制御部24に返し、さらにMTF補正部32に転送する。出力データは、MTF補正部32をスルーするようにCPU34により設定され、MTF補正部32は、C2, M2, Y2, K2をそのままC3, M3, Y3, K3としてプリントエンジン部へ送る。

【0013】

なお、上述の実施形態において、通常プリントモードにおいて、共用メモリ26は、濃度変換部22において使用したが、このブロックに限られない。

また、プリントモード時にFPGAに書きこまれるブロックを濃度変換部22から下色除去／墨加刷部30までとしたが、これに限定されない。上流に位置するHVC変換部18、変倍移動部18などを対象としてもよい。

【0014】

【発明の効果】

画像処理装置において、同時に使用しないブロックを1つのブロックで共用するので、基板の小型化とコストダウンができる。

【図面の簡単な説明】

【図1】 カラー画像処理装置の全体構成を示す図

【図2】 共用RAMのブロック図

【図3】 通常プリントモード時にFPGAに書きこまれるブロックを示す

図

【図 4】 A 3 原稿と自動カラー選択判定用の基準パッチとの相関図

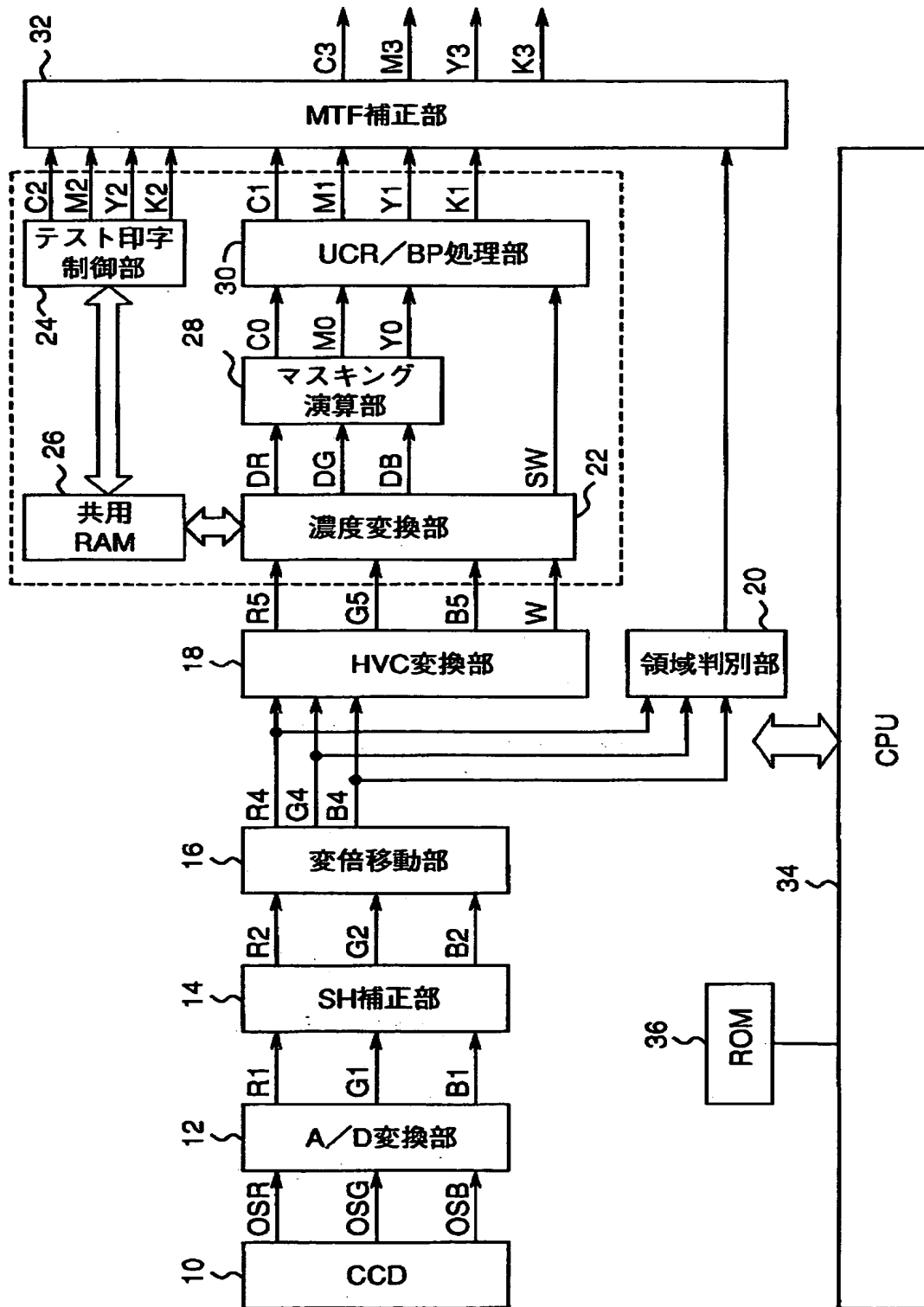
【図 5】 テスト印字モード時に F P G A に書きこまれるブロックを示す図

【符号の説明】

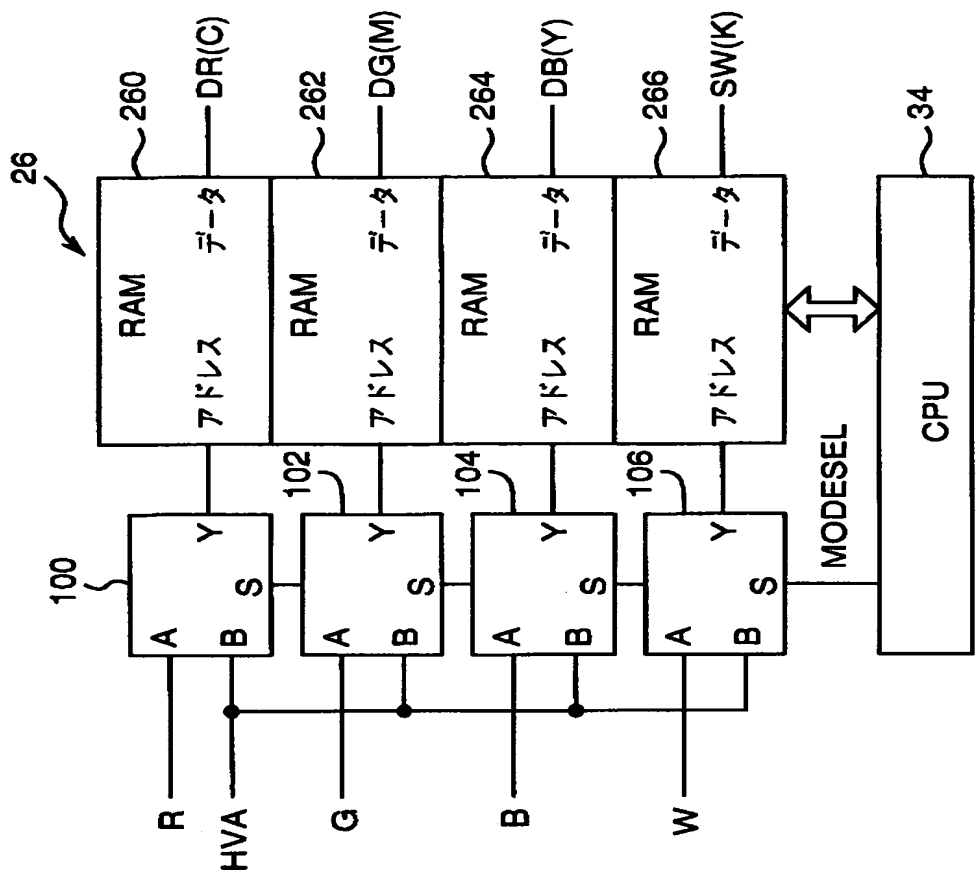
2 2、2 8、3 0 画像処理部の一部、 2 4 テスト印字制御部、
2 6 共用メモリ、 3 4 C P U、 3 6 R O M、 1 0 0、1 0 2
、1 0 4、1 0 6 セレクタ、 2 6 0、2 6 2、2 6 4、2 6 6 メモリ。

【書類名】 図面

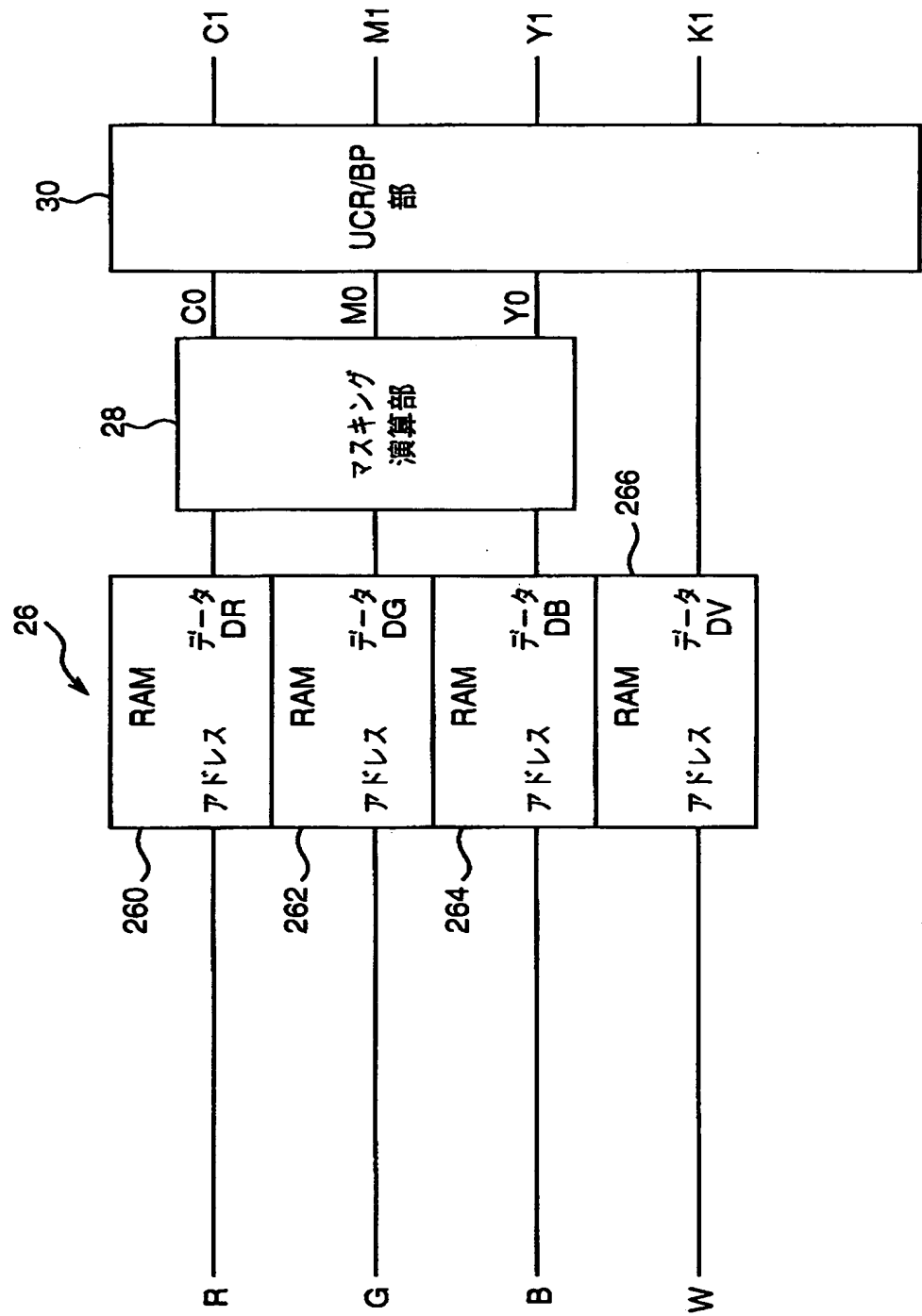
【図 1】



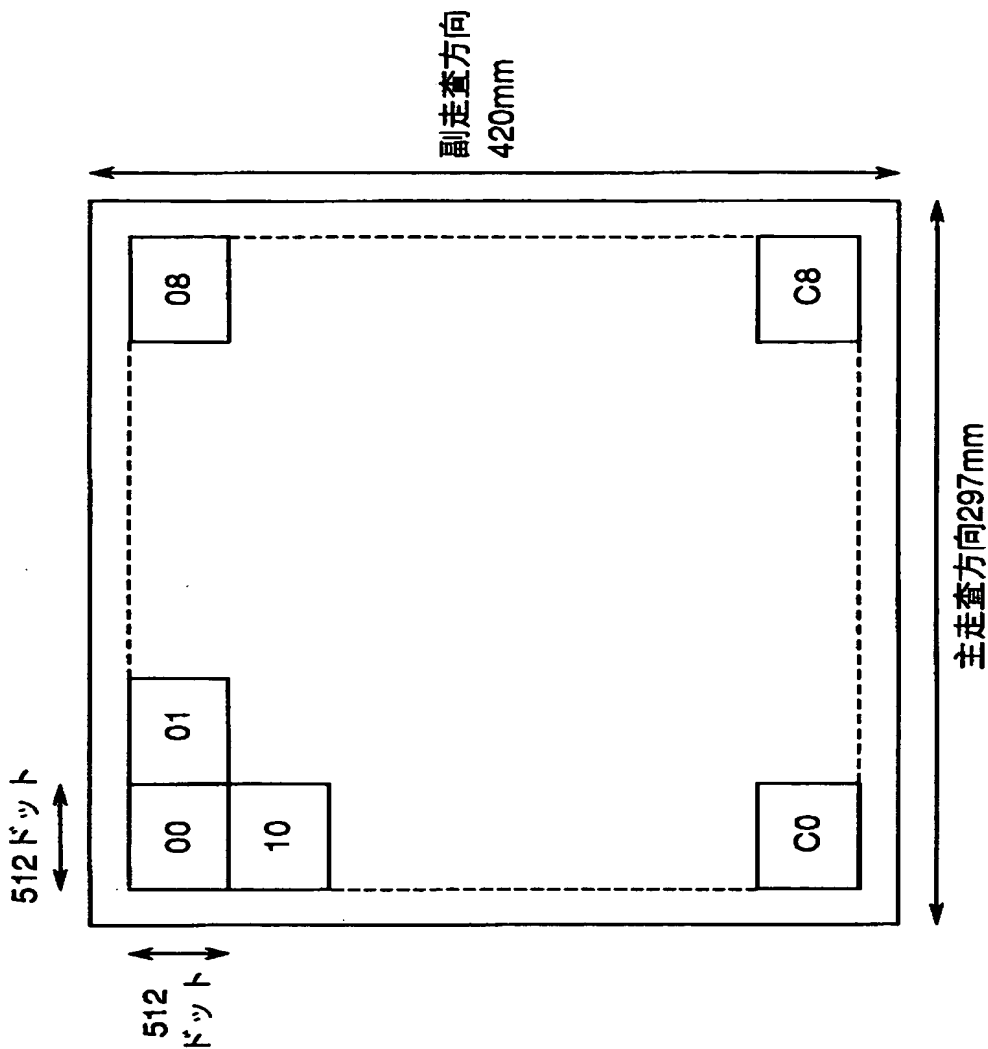
【図 2】



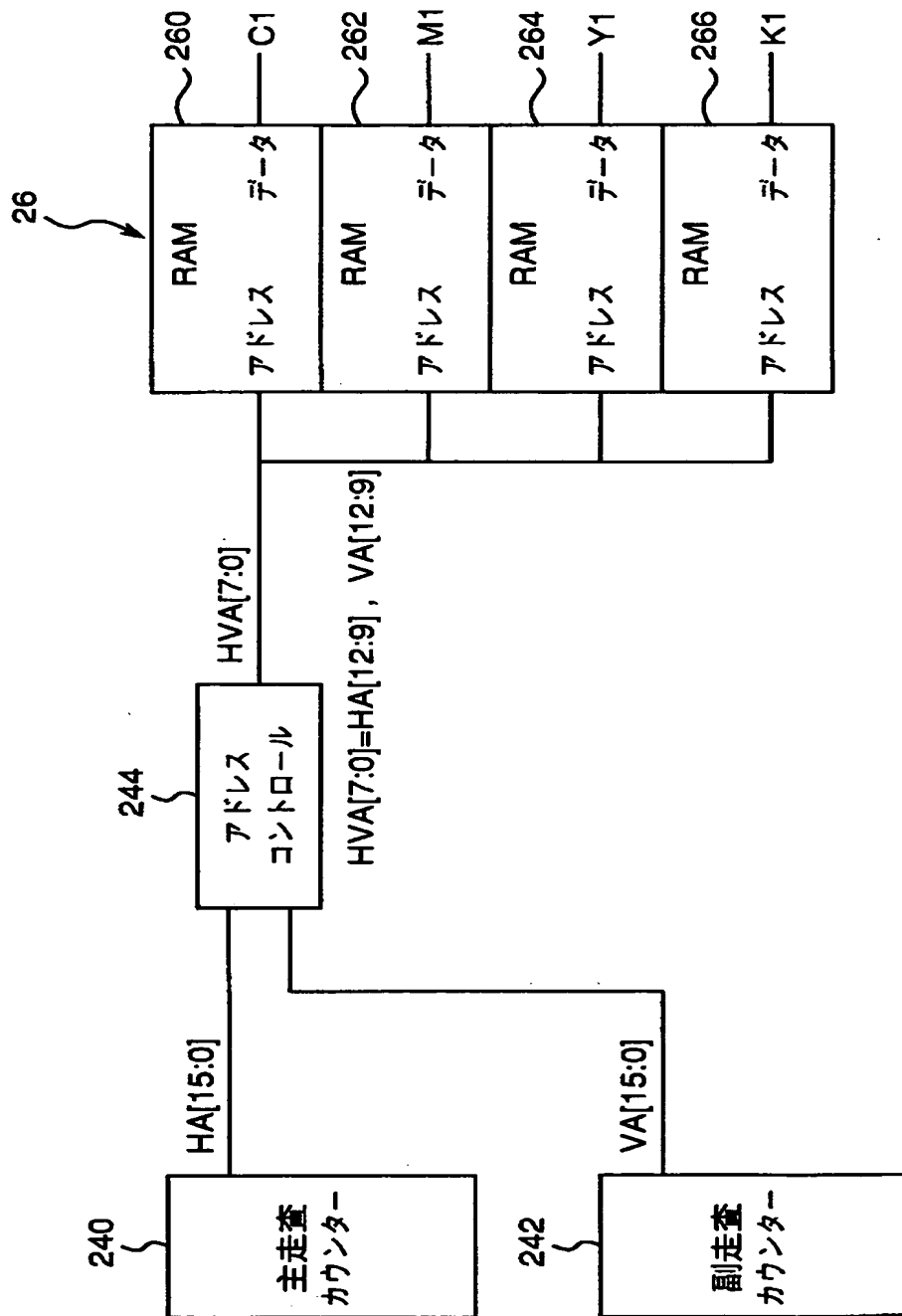
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 テスト印字を簡素な構成でおこなう画像処理装置を提供する。

【解決手段】 画像形成装置において、画像データを処理する画像処理部と、テスト印字を行うテスト印字制御部とは、メモリを共有する。格納手段は、テスト印字中はテスト印字用データをメモリに格納し、通常プリント中はメモリに画像処理のための変換用データを格納し、切り替え手段は、テスト印字中は、メモリをテスト印字制御部と接続する構成に切り替え、通常プリント中は、ある画像データの変換処理部と接続可能な構成に切り替え、メモリは、プリント中とテスト印字中とで時分割で利用される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 7 9]

1. 変更年月日 1 9 9 4 年 7 月 2 0 日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
氏 名 ミノルタ株式会社